

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2002年 7月19日

出願番号

Application Number:

特願2002-211670

[ST.10/C]:

[JP2002-211670]

出願人

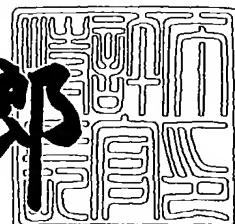
Applicant(s):

ティーディーケイ株式会社

2003年 5月16日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3036601

【書類名】 特許願

【整理番号】 TD04173

【提出日】 平成14年 7月19日

【あて先】 特許庁長官殿

【国際特許分類】 G11B 5/31

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

【氏名】 上島 聰史

【特許出願人】

【識別番号】 000003067

【氏名又は名称】 ティーディーケイ株式会社

【代理人】

【識別番号】 100109656

【弁理士】

【氏名又は名称】 三反崎 泰司

【代理人】

【識別番号】 100098785

【弁理士】

【氏名又は名称】 藤島 洋一郎

【手数料の表示】

【予納台帳番号】 019482

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 導電薄膜パターンおよびその形成方法、薄膜磁気ヘッドの製造方法、薄膜インダクタの製造方法、ならびにマイクロデバイスの製造方法

【特許請求の範囲】

【請求項1】 基板上に、導電体よりなる下地膜を形成する第1の工程と、前記下地膜の上に、第1のレジストフレームを選択的に形成する第2の工程と

前記第1のレジストフレームをマスクとし、前記下地膜を電極膜とした選択的めっき成長を行わせることにより、第1の導電層パターンを形成する第3の工程と、

前記第1のレジストフレームおよび第1の導電層パターンを覆うように中間導電層を形成する第4の工程と、

前記中間導電層上の、前記第1のレジストフレームに対応した位置に第2のレジストフレームを選択的に形成する第5の工程と、

前記第2のレジストフレームをマスクとし、前記中間導電層を電極膜とした選択的めっき成長を行わせることにより、第2の導電層パターンを形成する第6の工程と、

前記第1および第2のレジストフレーム、これらのレジストフレームによって挿まれた部分の中間導電層、ならびに下地膜を除去することにより前記導電薄膜パターンの形成を完了する第7の工程と

を含むことを特徴とする導電薄膜パターンの形成方法。

【請求項2】 少なくとも前記第2のレジストフレームを、液体フォトレジスト材料を用いて形成することを特徴とする請求項1に記載の導電薄膜パターンの形成方法。

【請求項3】 前記第4の工程において、前記第1および第2の導電層パターンのうちの少なくとも一方と同一組成の材料を用いて前記中間導電層を形成する

ことを特徴とする請求項1または請求項2に記載の導電薄膜パターンの形成方法。

【請求項4】 導電薄膜パターンを含む薄膜磁気ヘッドを製造するための方
法であって、

前記導電薄膜パターンを形成する工程は、

基板上に、導電体よりなる下地膜を形成する第1の工程と、

前記下地膜の上に、第1のレジストフレームを選択的に形成する第2の工程と

前記第1のレジストフレームをマスクとし、前記下地膜を電極膜とした選択的
めっき成長を行わせることにより、第1の導電層パターンを形成する第3の工程
と、

前記第1のレジストフレームおよび第1の導電層パターンを覆うように中間導
電層を形成する第4の工程と、

前記中間導電層上の、前記第1のレジストフレームに対応した位置に第2のレ
ジストフレームを選択的に形成する第5の工程と、

前記第2のレジストフレームをマスクとし、前記中間導電層を電極膜とした選
択的めっき成長を行わせることにより、第2の導電層パターンを形成する第6の
工程と、

前記第1および第2のレジストフレーム、これらのレジストフレームによって
挟まれた部分の中間導電層、ならびに下地膜を除去することにより前記導電薄膜
パターンの形成を完了する第7の工程と

を含むことを特徴とする薄膜磁気ヘッドの製造方法。

【請求項5】 前記導電薄膜パターンを形成する工程を用いることにより、
磁気記録を行うための信号磁界を発生させる薄膜コイルを形成することを特徴と
する請求項4に記載の薄膜磁気ヘッドの製造方法。

【請求項6】 前記導電薄膜パターンを形成する工程を用いることにより、
導電リードとして機能する配線パターンを形成することを特徴とする請求項4に
記載の薄膜磁気ヘッドの製造方法。

【請求項7】 導電薄膜パターンを含む薄膜インダクタを製造するための方
法であって、

前記導電薄膜パターンを形成する工程は、

基板上に、導電体よりなる下地膜を形成する第1の工程と、
前記下地膜の上に、第1のレジストフレームを選択的に形成する第2の工程と

前記第1のレジストフレームをマスクとし、前記下地膜を電極膜とした選択的
めっき成長を行わせることにより、第1の導電層パターンを形成する第3の工程
と、

前記第1のレジストフレームおよび第1の導電層パターンを覆うように中間導
電層を形成する第4の工程と、

前記中間導電層上の、前記第1のレジストフレームに対応した位置に第2のレ
ジストフレームを選択的に形成する第5の工程と、

前記第2のレジストフレームをマスクとし、前記中間導電層を電極膜とした選
択的めっき成長を行わせることにより、第2の導電層パターンを形成する第6の
工程と、

前記第1および第2のレジストフレーム、これらのレジストフレームによって
挟まれた部分の中間導電層、ならびに下地膜を除去することにより前記導電薄膜
パターンの形成を完了する第7の工程と

を含むことを特徴とする薄膜インダクタの製造方法。

【請求項8】 前記導電薄膜パターンを形成する工程を用いることにより、
導電リードとして機能する配線パターンを形成することを特徴とする請求項7に
記載の薄膜インダクタの製造方法。

【請求項9】 導電薄膜パターンを含むマイクロデバイスを製造するための
方法であって、

前記導電薄膜パターンを形成する工程は、

基板上に、導電体よりなる下地膜を形成する第1の工程と、

前記下地膜の上に、第1のレジストフレームを選択的に形成する第2の工程と

前記第1のレジストフレームをマスクとし、前記下地膜を電極膜とした選択的
めっき成長を行わせることにより、第1の導電層パターンを形成する第3の工程
と、

前記第1のレジストフレームおよび第1の導電層パターンを覆うように中間導電層を形成する第4の工程と、

前記中間導電層上の、前記第1のレジストフレームに対応した位置に第2のレジストフレームを選択的に形成する第5の工程と、

前記第2のレジストフレームをマスクとし、前記中間導電層を電極膜とした選択的めっき成長を行わせることにより、第2の導電層パターンを形成する第6の工程と、

前記第1および第2のレジストフレーム、これらのレジストフレームによって挟まれた部分の中間導電層、ならびに下地膜を除去することにより前記導電薄膜パターンの形成を完了する第7の工程と

を含むことを特徴とするマイクロデバイスの製造方法。

【請求項10】 導電体よりなる下地膜パターンと、

この下地膜パターンの上に、これを電極膜とした選択的めっき成長により形成された第1の導電層パターンと、

この第1の導電層パターンの上に形成された中間導電層パターンと、

この中間導電層パターンの上に、これを電極膜とした選択的めっき成長により形成された第2の導電層パターンと

を有する

ことを特徴とする導電薄膜パターン。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、基板上に形成された導電薄膜パターンおよびその形成方法ならびにこの導電薄膜パターンを含む薄膜磁気ヘッドの製造方法、薄膜インダクタの製造方法およびマイクロデバイスの製造方法に関する。

【0002】

【従来の技術】

従来より、薄膜プロセスを利用して形成される電子・磁気デバイスにおいては、電流を流すための通路手段として、導電性の薄膜パターンが多用されている。

例えば、薄膜磁気ヘッドや薄膜インダクタでは金属薄膜コイルが用いられ、半導体デバイスにおいては金属配線パターンが用いられている。

【0003】

この種の導電薄膜パターンを基板上に形成する方法として、いわゆるフレームめっき法と呼ばれる方法が知られている。この方法は、基板上に形成された下地膜の上にフォトレジスト等からなる所望の開口パターン形状を有するレジストフレームを形成したのち、このレジストフレームの開口内の下地膜を電極膜とする電解めっきを行うことにより、下地膜上にめっき膜を成長させて導電薄膜パターンを形成する方法である。この方法は、例えば特公昭56-36706号公報に記載がある。

【0004】

【発明が解決しようとする課題】

最近では、上記したようなデバイスのサイズを小型化すべく、導電薄膜パターンの縮小化が求められている。この場合、デバイスの性能を低下させずに導電薄膜パターンの平面サイズを縮小するためには、導電薄膜パターンの電流方向と直交する断面積を十分大きく確保することが必要であり、この結果、より高いアスペクト比が要求される。ここで、アスペクト比とは、矩形断面における、横寸法に対する高さ寸法の比である。

【0005】

より高いアスペクト比を得るためにには、フレームレジストの厚さを大きくしなければならないが、形成プロセス上、レジスト層の厚みには限界があり、その結果、十分な高さの導電薄膜パターンが得られない。レジスト層をあまりに厚く形成すると、フォトリソグラフィプロセスにおいて、フレームの枠内部分を溶解除去する現象の際に、レジストフレームが部分的に崩壊する等の問題が生じ、高精度のパターンを形成できないからである。

【0006】

そこで、フレームめっきプロセスを複数回繰り返して導電薄膜パターンを複数層積層することにより、高いアスペクト比を有する導電薄膜パターンを得る方法（以下、繰り返しフレームめっき法という。）が提案されている。この方法によ

れば、たとえ1度のフレームめっきプロセスによって形成されるパターンの厚みは薄いものであっても、これを複数回繰り返して得られる積層体全体として見れば、高さ寸法の大きい断面形状を得ることができ、結果的に、高いアスペクト比が得られる。

【0007】

ところで、フレームめっき法におけるレジストフレームの形成方法には、フォトレジスト層として液体フォトレジストを用いる方法（以下、液体レジスト法という。）と、フォトレジスト層としてドライフィルムレジストを用いる方法（以下、ドライレジスト法という。）とがある。液体レジスト法は、液状のフォトレジスト材料を塗布して硬化させ、露光マスクを用いた選択的露光を行ったのち、不要なレジスト部分を溶解除去する現像を行うことによりレジストフレームパターンを形成する方法である。ドライレジスト法は、シート状のフィルムレジストを下地膜上に張り付け、以下、上記と同様の露光および現像を行ってレジストフレームパターンを形成する方法であり、例えば特開平8-330736号公報に記載がある。

【0008】

しかしながら、液体レジスト法を上記した繰り返しフレームめっき法に適用した場合には、高解像度のパターニングが可能である反面、次のような問題が生じる。すなわち、1層目のレジストフレーム上に2層目のレジストフレームとなる液体フォトレジスト層を形成したときに、1層目と2層目の間でインターミキシング（1層目のレジストフレームが再溶解して2層目のレジスト層と混じり合う現象）が起きてレジストパターンのくずれが生じる結果、高い寸法精度を有するレジストフレームの形成が困難となる。

【0009】

一方、ドライレジスト法は、上記のような2層目のフレームレジストの形成の際にインターミキシングを起こすおそれは少ないが、その反面、高い解像度でのパターニングは困難である。このため、得られるレジストフレームのパターンピッチにも限界があり、およそ $100\mu m$ 以下にすることは困難であった。

【0010】

本発明はかかる問題点に鑑みてなされたもので、本発明の第1の目的は、高いアスペクト比を有する高精度の導電薄膜パターンおよびその形成方法を提供することにある。本発明の第2の目的は、そのような導電薄膜パターンを含む薄膜磁気ヘッド、薄膜インダクタおよびマイクロデバイスを製造するための方法を提供することにある。

【0011】

【課題を解決するための手段】

本発明の導電薄膜パターンの形成方法は、基板上に、導電体よりなる下地膜を形成する第1の工程と、下地膜の上に、第1のレジストフレームを選択的に形成する第2の工程と、第1のレジストフレームをマスクとし、下地膜を電極膜とした選択的めっき成長を行わせることにより、第1の導電層パターンを形成する第3の工程と、第1のレジストフレームおよび第1の導電層パターンを覆うように中間導電層を形成する第4の工程と、中間導電層上の、第1のレジストフレームに対応した位置に第2のレジストフレームを選択的に形成する第5の工程と、第2のレジストフレームをマスクとし、中間導電層を電極膜とした選択的めっき成長を行わせることにより、第2の導電層パターンを形成する第6の工程と、第1および第2のレジストフレーム、これらのレジストフレームによって挟まれた部分の中間導電層、ならびに下地膜を除去することにより導電薄膜パターンの形成を完了する第7の工程とを含むようにしたものである。

【0012】

本発明の薄膜磁気ヘッド、薄膜インダクタおよびマイクロデバイスの製造方法は、導電薄膜パターンを形成する工程が、基板上に、導電体よりなる下地膜を形成する第1の工程と、この下地膜の上に、第1のレジストフレームを選択的に形成する第2の工程と、この第1のレジストフレームをマスクとし、下地膜を電極膜とした選択的めっき成長を行わせることにより、第1の導電層パターンを形成する第3の工程と、第1のレジストフレームおよび第1の導電層パターンを覆うように中間導電層を形成する第4の工程と、この中間導電層上の、第1のレジストフレームに対応した位置に第2のレジストフレームを選択的に形成する第5の工程と、この第2のレジストフレームをマスクとし、中間導電層を電極膜とした

選択的めっき成長を行わせることにより、第2の導電層パターンを形成する第6の工程と、第1および第2のレジストフレーム、これらのレジストフレームによって挟まれた部分の中間導電層、ならびに下地膜を除去することにより導電薄膜パターンの形成を完了する第7の工程とを含むようにしたものである。なお、マイクロデバイスとは、量子効果デバイスで代表されるようなナノメータスケールからマイクロメータオーダーに亘る電子・磁気デバイスやマイクロマシン等、導電薄膜パターンを含む全てのデバイスを指す。

【0013】

本発明の導電薄膜パターンの形成方法、薄膜磁気ヘッドの製造方法、薄膜インダクタの製造方法またはマイクロデバイスの製造方法では、第2のレジストフレームを形成する前に、第1のレジストフレームを覆うように中間導電層を形成するようにしたので、第1のレジストフレームとのインターミキシングを起こさずに第2のレジストフレームを形成することができる。このため、同一のパターン形状を有する複数のレジストフレームを容易かつ高精度に積層でき、単層構造の場合よりも厚みの大きな導電薄膜パターンを高い精度で形成することができる。

【0014】

本発明の導電薄膜パターンの形成方法は、少なくとも第2のレジストフレームを、液体フォトレジスト材料を用いて形成する場合に特に有効である。液体フォトレジスト材料は、第1のレジストフレームとのインターミキシングを起こしやすいからである。また、第1および第2のレジストフレームの材料として液体フォトレジスト材料を用いた場合には、高解像度が得られるので、極めて微細なパターンの形成が可能であり、高アスペクト比とすることも可能である。また、第4の工程では、第1および第2の導電層パターンのうちの少なくとも一方と同一組成の材料を用いて中間導電層を形成するようにしてもよいし、異なる材料を用いるようにしてもよい。

【0015】

本発明の薄膜磁気ヘッドの製造方法では、導電薄膜パターンを形成する工程を用いることにより、磁気記録を行うための信号磁界を発生させる薄膜コイルや導電リードとして機能する配線パターンを形成することが可能である。

【0016】

本発明の導電薄膜パターンは、導電体よりなる下地膜パターンと、この下地膜パターンの上に、これを電極膜とした選択的めっき成長により形成された第1の導電層パターンと、この第1の導電層パターンの上に形成された中間導電層パターンと、この中間導電層パターンの上に、これを電極膜とした選択的めっき成長により形成された第2の導電層パターンとを有するようにしたものである。

【0017】

本発明の導電薄膜パターンでは、導電体よりなる下地膜パターンの上に、めっき成長により形成した2つの導電層パターンとそれらに挟まれた中間導電層パターンとを含む積層構造を有するようにしたので、全体として単層構造の場合よりも厚みの大きいめっき膜パターンを容易に得ることができる。ここで、中間導電層パターンは、第1および第2の導電層パターンのうちの少なくとも一方と同一組成の材料からなるようにしてもよいし、異なる材料からなるようにしてもよい。

【0018】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0019】

【第1の実施の形態】

まず、図1ないし図4を参照して、本発明の第1の実施の形態に係る導電薄膜パターンが適用される薄膜磁気ヘッドについて説明する。

【0020】

本実施の形態に係る薄膜磁気ヘッドは、基板上に形成された導電薄膜パターンとしてのコイルを含んでいる。このコイル部分については後に詳述することとし、まず、薄膜磁気ヘッドの概略構成について以下に説明する。

【0021】

図1は、磁気ヘッド装置におけるスライダの一側面に形成された薄膜磁気ヘッド10の構造を表す分解斜視図である。図2は、図1に示した矢印II方向から眺めた平面図を表し、図3は、図2に示したIII-III線に沿った矢視方向

断面図である。図1および図3に示したように、薄膜磁気ヘッド10は、スライダの基体100に近い側から順に、再生ヘッド部10Aと記録ヘッド部10Bとが積層されて一体に構成されたものである。再生ヘッド部10Aは、磁気記録媒体に記録された磁気情報を再生するためのものであり、一方の記録ヘッド部10Bは、磁気記録媒体に磁気情報を記録するためのものである。

【0022】

再生ヘッド部10Aは、図1および図3に示したようにエアベアリング面（A B S ; Air Bearing Surface）19に露出する側において、例えば、基体100の上に、下部シールド層11、下部ギャップ層12、磁気抵抗効果（M R ; Magneto resistive）素子10C、上部ギャップ層20および上部シールド層21が順に積層された構造を有している。

【0023】

下部シールド層11は、例えば、ニッケル鉄合金（N i F e）等の磁性材料により構成され、後述するM R膜14に不要な磁界の影響が及ばないようにする機能を有する。下部ギャップ層12は、アルミナ（A l₂O₃）や窒化アルミニウム（A l N）等の絶縁材料からなり、下部シールド層11とM R膜14との絶縁をするためのものである。M R素子10Cは、M R膜14と、その両隣に延在する一対の磁区制御層15A、15B（以下、総称して「磁区制御層15」という。）と、その磁区制御層15の上に形成される一対の第1リード層16A、16B（以下、総称して「第1リード層16」という。）と、この第1リード層16上に選択的に形成される一対の第2リード層17A、17B（以下、総称して「第2リード層17」という。）とを含んでいる。上部ギャップ層20は、下部ギャップ層12と同様に絶縁材料からなり、上部シールド層21とM R膜14との間を絶縁するものである。上部シールド層21は、下部シールド層11と同様にニッケル鉄合金（N i F e）等の磁性材料により構成され、やはりM R膜14に不要な磁界の影響が及ばないようにするためのものである。この上部シールド層21は、記録ヘッド部10Bにおける下部磁極としての機能も兼ね備えている。なお、上部シールド層21とは別の層として、新たに下部磁極を構成するようにしてもよい。

【0024】

MR膜14は、磁性材料を含む多層構造からなるスピナーバルブ型のMR膜であり、磁気記録媒体（図示せず）に記録された情報を読み出す機能を有するものである。MR膜14の底面は下部ギャップ層12に接し、上面は上部ギャップ層20に接している。再生ヘッド部10Aでは、磁気記録媒体からの信号磁界に応じてMR膜14の電気抵抗が変化することを利用して、磁気記録媒体に記録された情報を再生するようになっている。なお、MR膜14は、必ずしも上記のスピナーバルブ型MR膜に限定されるものではなく、例えば、トンネル接合型MR（TMR；Tunneling Magnetoresistive）膜であってもよい。

【0025】

一対の磁区制御層15および一対の第1リード層16は、図1に示したようにMR膜14の両側の下部ギャップ層12上に順に積層されている。磁区制御層15は、コバルト白金合金（CoPt）等を含む硬磁性材料により構成され、MR膜14の記録トラック幅方向に対応する方向に沿った両隣に延在している。この磁区制御層15は、MR膜14に含まれる磁気感受層（図示せず）の磁区の向きを揃えて単磁区化することでバルクハウゼンノイズの発生を抑制するよう機能する。第1リード層16は、磁区制御層15を介してMR膜14にセンス電流を流すための電流経路として機能するものであり、図1および図2に示したように第2リード層17を介し、電極EA、EBにそれぞれ接続されている。

【0026】

このような構成を有する再生ヘッド部10Aでは、MR膜14の磁気感受層の磁化方向が、磁気記録媒体からの信号磁界に応じて変化する。このため、MR膜14に含まれる磁化固定層（図示せず）の磁化方向との相対的变化を生じる。この際、MR膜14内にセンス電流を流すと、磁化方向の変化が磁気抵抗の変化として現れる。これを利用することにより信号磁界を検出し、磁気情報を再生するようになっている。

【0027】

続いて、記録ヘッド部10Bの構成について説明する。図1ないし図3に示したように、記録ヘッド部10Bは、下部磁極としても機能する上部シールド層2

1、記録ギャップ層41、フォトレジスト層42、コイル43、フォトレジスト層44および上部磁極47を有している。

【0028】

記録ギャップ層41は、アルミナ等の絶縁材料よりなり、上部シールド層21の上に形成される。この記録ギャップ層41は、コイル43の中心部に対応する位置に磁路形成のための開口部41Aを有している（図3参照）。コイル43は、記録ギャップ層41上にフォトレジスト層42を介して、開口部41Aを中心として渦巻状の平面形状を有するように形成されている。さらに、コイル43を覆うようにフォトレジスト層44が所定のパターンに形成されている。ここで、フォトレジスト層42、44は、加熱処理によりキュアリングされている。なお、コイル43の各端末は、電極43S、43Eにそれぞれ接続されている（図1および図2参照）。

【0029】

記録ギャップ41、開口部41Aおよびフォトレジスト層42、44の上には、例えば、NiFe合金あるいは窒化鉄（FeN）等の高飽和磁束密度を有する磁性材料からなる上部磁極47が形成されている。この上部磁極47は、開口部41Aを介して上部シールド層21と接触しており、磁気的に連結している。なお、図示しないが、アルミナ等からなるオーバーコート層が記録ヘッド部10Bの上面全体を覆うように形成されている。

【0030】

このような構成を有する記録ヘッド部10Bは、コイル43に流れる電流によって上部シールド層21と上部磁極47とを含んで構成される磁路内部に磁束を生じ、これにより記録ギャップ層41の近傍に生ずる信号磁界によって磁気記録媒体1を磁化し、情報を記録するようになっている。

【0031】

次に、図3および図4を参照して、本発明の重要な特徴部分であるコイル43の構成について詳細に説明する。図4は、図3に示した薄膜磁気ヘッド10の断面図においてコイル43の近傍を拡大して示したものである。

【0032】

本実施の形態のコイル43は、フォトレジスト層42上に形成され、積層構造を有している。ここで、フォトレジスト層42が本発明における「基板」の一具体例に対応し、コイル43が本発明における「導電薄膜パターン」の一具体例に対応する。このコイル43は、図4に示したように、導電体よりなる下地膜パターン2と、この下地膜パターン2を電極膜とした選択的めっき成長により形成された第1の導電層パターン4と、この第1の導電層パターン4の上に形成された中間導電層パターン5と、この中間導電層パターン5を電極膜とした選択的めっき成長により形成された第2の導電層パターン7とを有するものである。ここで、コイル43は、積層方向における矩形断面のアスペクト比が、3以上となるように形成することも十分に可能である。

【0033】

第1および第2の導電層パターン4, 7は、例えば、銅(Cu)、金(Au)または、白金(Pt)からなるものである。第1および第2の導電層パターン4, 7は、それぞれ50μmの厚みを有する。中間導電層パターン5は、スパッタリングやCVD法などのドライ薄膜形成プロセスにより形成可能な導電体からなり、特に、第1および第2の導電層パターン4, 7のうちの少なくとも一方と同一組成の材料からなるようにしてもよいし、異なる材料からなるようにしてもよい。中間導電層パターン5は、例えば、100nmの厚みを有する。中間導電層パターン5は、単層構造であってもよいし2層以上の積層構造を有していてもよい。下地膜パターン2は、中間導電層パターン5と同様にスパッタリングやCVD法などのドライ薄膜形成プロセスにより形成可能な導電体からなり、第1および第2の導電層パターン4, 7のうちの少なくとも一方と同一組成の材料からなるようにしてもよいし、異なる材料からなるようにしてもよい。

【0034】

上記の構成により、コイル43は、導電体よりなる下地膜パターン2の上に、めっき成長により形成した第1および第2の導電層パターン4, 7とそれらに挟まれた中間導電層パターン5とを含む積層構造を有するようにしたので、中間導電層パターン5がない単層構造の場合よりも大きな厚みを容易に得ることができる。その理由については後に詳述する。

【0035】

次に、本実施の形態に係る薄膜磁気ヘッドの製造方法について説明する。なお、本発明の「導電薄膜パターンの形成方法」は、本実施の形態に係る薄膜磁気ヘッドの製造方法のうちの一部の工程をなすものであるので、以下、併せて説明する。

【0036】

最初に、図1ないし図3を参照して、薄膜磁気ヘッド10の製造方法の全容を説明する。

【0037】

まず、基体100となる基板上に、スパッタリング等によりニッケル鉄(NiFe)合金等の導電性磁性材料よりなる下部シールド層11を形成したのち、この下部シールド層11上にアルミナ等よりなる下部ギャップ層12を形成する。次に、この下部ギャップ層12上に、スピナバルブ構造を有するMR膜14となる多層膜を形成する。具体的には、スパッタリング等を用いて、いずれも図示しないが下地層、固定作用層、被固定層、非磁性層、磁気感受層および保護層とを順に積層する。続いて、フォトリソグラフィによるパターニングおよびイオンミリング等の処理を施し選択的に多層膜をエッチングすることでMR膜14を形成する。こののち、MR膜14を挟んで対向するように、下部ギャップ層12上に1対の磁区制御層15(15A, 15B)を形成する。さらに、磁区制御層15の上に、第1リード層16(16A, 16B)と第2リード層17(17A, 17B)とを順に形成する。こののち、下部ギャップ層12、磁区制御層15、第1リード層16、第2リード層17およびMR膜14を覆うように、例えばスパッタリングにより上部ギャップ層20を形成する。この上部ギャップ層20の上に、NiFe合金等の導電性磁性材料よりなる上部シールド層21を選択的に形成する。

【0038】

以上により、スピナバルブ型のMR膜14と、磁区制御層15と、MR膜14に対して成膜面に垂直な方向に電流を流すための経路(すなわち、上部シールド層21、上部ギャップ層20、下部ギャップ層12および下部シールド層11)

とを有する再生ヘッド部10Aの形成が一応完了する。

【0039】

続いて、再生ヘッド部10Aの上に、記録ヘッド部10Bを形成する。具体的には、まず、スパッタリング等により、上部シールド層21上に絶縁材料よりなる記録ギャップ層41を選択的に形成したのち、この記録ギャップ層41を部分的にエッチングし、磁路形成のための開口部41Aを形成する。

【0040】

次に、記録ギャップ層41の上に、フォトレジスト層42を所定のパターンで形成し、加熱処理によりキュアリングしたのち、開口部41Aを中心として渦巻形状を有するコイル43を形成する。なお、コイル43の形成方法については、後に詳述する。このコイル43を覆うようにして、スローハイトを決定するフォトレジスト層44を所定のパターンに形成し、加熱処理によりキュアリングする。なお、スローハイトとは、コイル43を埋め込んでいるフォトレジスト層44の最前端からABS19までの距離を指す。こののち、フォトレジスト層44上に、さらにコイルおよびフォトレジスト層を繰り返し形成するようにしてもよい。なお、本実施の形態では説明を単純化するため、コイルを1層のみ形成するようにした。

【0041】

フォトレジスト層44を形成した後、記録ギャップ層41、開口部41Aおよびフォトレジスト層44の上に、上部磁極47を選択的に形成する。次に、この上部磁極47をマスクとして、イオンミリング等により、記録ギャップ層41を選択的にエッチングする。さらに、図示しないレジスト層を形成し、これと上部磁極47とをマスクとして、ABS19が形成される領域の近傍領域において、上部シールド層21を所定の深さまで選択的にエッチングする。これにより、記録ヘッド部10Bの形成が一応完了する。

【0042】

最後に、上部磁極47を含むすべての構造物を覆うように、アルミナ等の絶縁材料よりなる図示しないオーバーコート層を形成する。こうして、再生ヘッド部10Aと記録ヘッド部10Bとを有する薄膜磁気ヘッド10の形成が完了する。

【0043】

続いて、図4ないし図15を参照して、本実施の形態の重要な特徴部分である記録ヘッド部10Bに含まれるコイル43の形成方法について詳細に説明する。なお、図5ないし図15は、図4に示したコイル43を形成する際の各工程を表す拡大断面図である。

【0044】

コイル43の形成工程は、基板上に、導電体よりなる下地膜2Aを形成する第1の工程と、下地膜2Aの上に、第1のレジストフレーム3を選択的に形成する第2の工程と、第1のレジストフレーム3をマスクとし、下地膜2Aを電極膜とした選択的めっき成長を行わせることにより、第1の導電層パターン4を形成する第3の工程と、第1のレジストフレーム3および第1の導電層パターン4を覆うように中間導電層5Aを形成する第4の工程と、中間導電層5A上の、第1のレジストフレーム3に対応した位置に第2のレジストフレーム6を選択的に形成する第5の工程と、第2のレジストフレーム6をマスクとし、中間導電層5Aを電極膜とした選択的めっき成長を行わせることにより、第2の導電層パターン7を形成する第6の工程と、第1および第2のレジストフレーム3、6、これらのレジストフレーム3、6によって挟まれた部分の中間導電層5A、ならびに下地膜2Aを除去する第7の工程とを含む。以下、各工程についてより詳細に説明する。

【0045】

まず、図5に示したように第1の工程では、記録ギャップ層41の上に形成されたフォトレジスト層42の上に、スパッタリング法またはCVD法などのドライ薄膜形成プロセスによって、銅(Cu)、金(Au)または白金(Pt)などの導電体よりなる下地膜2Aを形成する。

【0046】

次いで、第2の工程では、下地膜2Aを覆うように、例えば、液体フォトレジスト材料を用いて、スピンドルコート法などにより第1のレジスト層3Aを形成する。液体フォトレジスト材料を用いることにより、より良好な解像度が得られる。ここでは、ホットプレートなどにより110°Cの温度で300秒間に亘って加熱

処理を行うことが望ましい。こうすることにより、液体フォトレジスト中の残存溶剤濃度が適度になるからである。続いて、図6に示したように、マスクMを介して選択的に第1のレジスト層3Aを露光して潜像を形成したのち、所定の現像液を用いて非露光部分を溶解除去することにより現像し、さらに水洗および乾燥を行う。こうすることにより、図7に示したように、所望のパターン形状を有する第1のレジストフレーム3を形成する。

【0047】

第3の工程では、図8に示したように、第1のレジストフレーム3をマスクとして用い、下地膜2Aを電極膜として選択的めっき成長を行わせることにより銅、金または白金よりなる第1の導電層パターン4を形成する。この際、図8のように、必ずしも、第1の導電層パターン4の厚みを第1のレジストフレーム3の厚みよりも薄くする必要はなく、同等あるいは第1の導電膜パターン4をオーバーハングさせててもよい。

【0048】

続く第4の工程では、図9に示したように、第1のレジストフレーム3および第1の導電層パターン4を覆うように、例えば、スパッタリング法またはCVD法などのドライ薄膜形成プロセスにより中間導電層5Aを形成する。この場合、第1および第2の導電層パターン4、7のうちの少なくとも一方と同一組成の材料を用いて中間導電層5Aを形成するようにしてもよい。この中間導電層5Aの存在によって、次の工程で形成される第2のレジスト層6Aと、第1のレジストフレーム3との完全な分離がなされる。

【0049】

さらに、第5の工程では、図10に示したように、中間導電層5Aを覆うように、液体レジストを用いて、例えばスピンドルコート法などにより第2のレジスト層6Aを塗布する。このとき、第1のレジストフレーム3と第2のレジスト層6Aとは完全に分離されているのでインターミキシングは生じない。ここでは、第2の工程と同様に、ホットプレートなどにより110℃の温度で300秒間に亘って加熱処理を行うことが望ましい。こののち、図示しないマスクを介して第1のレジストフレーム3に対応する領域の第2のレジスト層6Aを選択的に露光して

潜像を形成し、所定の現像液を用いて非露光部分を現像したのち、さらに水洗、乾燥を行う。こうすることにより、図11に示したように、所望のパターン形状を有する第2のレジストフレーム6を形成する。

【0050】

第6の工程では、図12に示したように、第2のレジストフレーム6をマスクとして用い、中間導電層5Aを電極膜とした選択的めっき成長を行わせることにより銅、金または白金よりなる第2の導電層パターン7を形成する。この際、図12のように、必ずしも、第2の導電層パターン7の厚みを第2のレジストフレーム6の厚みよりも薄くする必要はなく、同等あるいは第2の導電膜パターン7をオーバーハングさせててもよい。

【0051】

続いて、第7の工程では、図13に示したように、全体を、例えばアセトン等の有機溶剤に浸漬し、揺動することにより、第2のレジストフレーム6を溶解、除去する。さらに、図14に示したように、ミリング法などのドライエッチングやウェットエッチング、または反応性イオンエッチング（R I E ; Reactive Ion Etching）等により、第2の導電層パターン7をマスクに用いて第1のレジストフレーム3上の中間導電層5Aを選択的に除去する。次いで、図15に示したように、全体を、例えばアセトン等の有機溶剤に浸漬し、揺動させることにより、第1のレジストフレーム3を溶解、除去する。最後に、ウェットエッチング、ミリング法などのドライエッチングまたはR I Eなどにより、下地膜2Aを選択的に除去する。こうすることにより、図4に示したように、高精度な寸法を有する導電薄膜パターンとしてのコイル43が完成する。なお、以上の工程において、第1および第2の導電層パターン4、7、下地膜2Aならびに中間導電層5Aの厚さは、最終的な導電薄膜パターンであるコイル43に要求されるアスペクト比（具体的には、断面積やコイルピッチ等）を考慮して決定される、このアスペクト比については後述する。

【0052】

次に、本実施の形態の導電薄膜パターンの形成方法の作用について、比較例と対比して説明する。図17および図18は、本実施の形態に対する比較例として

の薄膜磁気ヘッドの製造方法の一工程をそれぞれ表すものである。

【0053】

図17に示したように、この比較例では、まず第1のレジストフレーム103を形成し、次いで下地膜102Aを電極膜として第1の導電層パターン104をめっき成長させたのち、中間導電層を形成することなく、例えば液体フォトレジスト材料を用いて第2のレジスト層106Aを全面に亘って塗布している。このように、第1のレジストフレーム103および第1の導電層パターン104の上に直に第2のレジスト層106Aを塗布するようにすると、第2のレジスト層106Aの中に第1のレジストフレーム103の一部が拡散し、第1のレジストフレーム103と第2のレジスト層106Aとの間においてインターミキシングが生じてしまう。インターミキシングによって、第1のレジストフレーム103と第2のレジスト層106Aとの界面に現像液に対して不溶性の不溶解層108が形成され、その一部が第1の導電層パターン104の上にまで流動し、これを部分的に覆うことになる。このため、図18に示したように、選択的に露光した第2のレジスト層106Aに現像処理を施しても、この不溶解層108は現像液には溶解しないので、第2のレジストフレーム106の開口部109の底部（すなわち、第1の導電層パターン104の上面）に残存してしまう。このため、第1の導電層パターン104を電極膜として利用しためっき成長を行うことが困難となる。あるいは、たとえめっき成長を行うことができたとしても、より厚みが大きく、高精度な寸法形状を有する導電層パターンを形成することは困難となる。

【0054】

これに対し本実施の形態では、図9ないし図10に示したように、第2のレジスト層6Aを塗布する前の工程において第1の導電層パターン4と第1のレジストフレーム3とを全て覆うように中間導電層5Aを形成するようにした。このため、第1のレジストフレーム3と第2のレジスト層6Aとは完全に分離されるのでインターミキシングは生じることがなく、したがって、上記のような不溶解層は生じない。よって、中間導電層5Aを電極膜としためっき成長が良好に行われることになり、第2の導電層パターン7が高精度に形成可能となる。このため、全体として単層構造の場合よりも厚みが大きく、高精度な寸法を有するコイル4

3を容易に得ることができる。特に、本実施の形態では、液体フォトレジストを用いて第1および第2のレジストフレーム3, 6を形成するようにしたので、高い解像度が得られ、その結果、高いアスペクト比と微小な寸法およびピッチとを有するコイル4 3を高精度に形成することができる。例えば、アスペクト比を3以上にすることも容易である。

【0055】

したがって、本実施の形態によれば、コイル4 3の平面サイズを十分縮小した場合であっても十分な精度とコイル断面積とを確保できる。このため、良好な導電性を示すコイル4 3を形成することができ、コイルに通電したときの発熱の抑制と、磁気記録特性の向上とが可能となる。

【0056】

【実施例】

さらに、本実施の形態における具体的な実施例について説明する。

【0057】

本実施例では、上記した製造方法に基づき、以下の要領でコイル4 3を形成した。図4ないし図15を参照して詳細を説明する。

【0058】

まず、図5に示したように、フォトレジスト層4 2の上に、スパッタリング法により銅(Cu)からなる下地膜2 Aを約100 nmの厚みとなるように形成した。スパッタリング条件は電力を1000 W、アルゴン(Ar)流量を 5.0×10^{-2} L/分、ガス圧力を 2.7×10^{-1} Paとし、直流スパッタリングをおこなった。

【0059】

続いて、下地膜2 Aの上に、スピンドルコート法によって液体フォトレジストを塗布することにより、第1のレジスト層3 Aを $50 \mu\text{m}$ の膜厚となるように形成した。液体フォトレジストとしてクラリアントジャパン社製AZP4620を用いた。こののち、ホットプレートにより、 110°C の温度で300秒間に亘って加熱処理を行った。

【0060】

次に、図6に示したように、露光装置を用いて選択的にプロキシミティ露光（マスクと被露光体とを接触させず、互いに僅かな距離を空けて行う露光）をおこなった。ドーズ量設定を3000mJ/cm²とし、マスクMとして、35μm幅の空隙が70μmピッチで10ターンほど周回したパターンを有するものを使用した。こののち、濃度0.3N（規定）の水酸化カリウム（KOH）水溶液を用いて、パドル法（250秒間の攪拌を10回繰り返し）により現像をおこない、水洗および乾燥をおこなった。これにより、図7に示したように、厚みが50μm、幅が35μm（スペースの間隔も35μm）であり、10ターンの周回パターン形状である第1のレジストフレーム3を得た。なお、図4および図7ないし図15においては、簡略化して4ターン分のパターン形状のみ示した。

【0061】

次いで、図8に示したように、第1のレジストフレーム3をマスクとして用い、下地膜2Aを電極膜としてめっき成長を行わせることにより第1の導電層パターン4を形成した。ここでは、硫酸銅浴によって50μmの厚みとなるように銅（Cu）膜からなる第1の導電層パターン4を形成した。

【0062】

さらに、図9に示したように、第1のレジストフレーム3および第1の導電層パターン4を覆うように、スパッタリング法によって、銅からなる中間導電層5Aを約100nmの厚みとなるように形成した。スパッタ条件は下地膜2Aの形成方法と同様とした。すなわち、電力を1000W、アルゴン（Ar）流量を5.0×10⁻²L/分、ガス圧力を2.7×10⁻¹Paとして直流スパッタリングをおこなった。

【0063】

こののち、図10に示したように、中間導電層5Aを覆うように、スピントレト法により液体フォトレジスト材料を塗布することにより、第2のレジスト層6を50μmの膜厚となるように形成した。液体フォトレジスト材料としては、クライアントジャパン社製AZP4620を用いた。こののち、ホットプレートにより、110℃の温度で300秒間に亘って加熱処理を施した。

【0064】

続いて、第1のレジスト層3を選択的に露光した際に用いたものと同じマスク(図示せず)を用いて、第2のレジスト層6を対象にプロキシミティ露光をおこなった。ドーズ量設定については 3000 mJ/cm^2 とした。こののち、濃度0.3N(規定)の水酸化カリウム(KOH)水溶液を用いて、パドル法(250秒間の攪拌を10回繰り返し)により現像をおこない、水洗および乾燥をおこなった。これにより、図11に示したように、第1のレジストフレーム3と同等の形状、すなわち厚みが $50\text{ }\mu\text{m}$ 、幅が $35\text{ }\mu\text{m}$ (スペースの間隔も $35\text{ }\mu\text{m}$)であり、10ターンの周回パターン形状である第2のレジストフレーム6を、第1のレジストフレーム3に対応する位置に得た。

【0065】

さらに、図12に示したように、第2のレジストフレーム6をマスクとして用い、中間導電層5Aを電極膜としてめっき成長を行わせることにより第2の導電層パターン7を形成した。ここでは、硫酸銅浴によって $50\text{ }\mu\text{m}$ の厚みとなるよう銅(Cu)膜からなる第2の導電層パターン7を形成した。

【0066】

次に、図13に示したように、全体を、アセトン等の有機溶剤に浸漬し、揺動することにより、第2のレジストフレーム6を溶解、剥離した。さらに、図14に示したように、ミリング法により、第2の導電層パターン7をマスクに用いて、中間導電層5Aの露出部分、すなわち、第1および第2のレジストフレーム3, 6に挟まれていた部分を選択的に除去した。ミリング条件については、電源電力を500W、電源電流値を 500 mA 、ガス圧力を $4.0 \times 10^{-1}\text{ Pa}$ とした。ミリング角度は 0° 、すなわち、成膜面に対して垂直方向とした。

【0067】

続いて、図15に示したように、全体を、例えばアセトン等の有機溶剤に浸漬し、揺動させることにより、第2のレジストフレーム6と同様に第1のレジストフレーム3を溶解、剥離した。最後に、ミリング法により、下地膜2Aの露出部分を選択的に除去した。ミリング条件については、中間導電層5の露出部分を選択的に除去した場合と同様に、電源電力を500W、電源電流値を 500 mA 、ガス圧力を $4.0 \times 10^{-1}\text{ Pa}$ とした。ミリング角度は 0° 、すなわち、積層面

に対して垂直方向とした。

【0068】

こうすることにより、図4に示した、幅が35μmであり、70μmのパター
ンピッチを有する導電薄膜パターンとしてのコイル43を得ることができた。

【0069】

以上の結果から、本実施例によれば、インターミキシングを起こさず、高い解
像度が得られる第1および第2のレジストフレーム3A, 6Aを形成することができ、高いアスペクト比と微小な寸法およびピッチとを有するコイル43を高精
度に形成可能であることがわかった。

【0070】

【第2の実施の形態】

次に、本発明の第2実施の形態に係る導電薄膜パターンが適用される薄膜イン
ダクタについて説明する。本実施の形態に係る薄膜インダクタは、基板上に形成
された導電薄膜パターンとしてのコイルを含んでいる。

【0071】

まず、薄膜インダクタの概略構成について、図4および図16を参照して以下
に説明する。

【0072】

図16は、薄膜インダクタ50の構造を表す平面図である。図16における矢
視方向IV-IV線に沿った矢視方向断面図が、図4である。図4および図16
に示したように、薄膜インダクタ50は、基板52上に、コイル53と第1の端
子T1と第2の端子T2とが形成されたものである。基板52は、例えば、表面
にポリイミド等の絶縁層を備えたフェライト等からなり、コイル53は、基板5
2上を周回する渦巻形状を有する。コイル53の両端末は、一方が第1の端子T
1に接続され、他方が第2の端子T2にそれぞれ接続されている。なお、図示し
ないが、コイル53と第1および第2の端子T1, T2との間には、基板52と
コイル53とを全面に亘って覆うように形成された絶縁材料からなる保護膜が存
在している。ただし、この保護膜にはコイル53の両端部に対応する部分にそれ
ぞれスルーホール（貫通孔）が形成されており、それらのスルーホールを通じて

第1および第2の端子T1, T2の各一端とコイル53の各端部（外周端および内周端）とがそれぞれ接続されている。ここで、コイル53が本発明における「導電薄膜パターン」の一具体例に対応する。

【0073】

図4に示したように、コイル53は第1の実施の形態におけるコイル43と同様に、導電体となる下地膜パターン2と、この下地膜パターン2を電極膜とした選択的めっき成長により形成された第1の導電層パターン4と、この第1の導電層パターン4の上に形成された中間導電層パターン5と、この中間導電層パターン5上の、第1の導電層パターン4に対応する位置に、中間導電層パターン5を電極膜とした選択的めっき成長により形成された第2の導電層パターン7とを有するものである。このコイル53は、電気回路内にインダクタンスを与えるものとして組み込まれるものであり、電流を流した時に生じる磁気作用を応用することにより、例えば、電圧の変換やノイズの制御などを行う機能を有する。

【0074】

次に、薄膜インダクタ50の製造方法について、図4および図16を参照して以下に説明する。

【0075】

まず、表面にポリイミド等の絶縁層を形成したフェライト等からなる基板52を用意し、その基板52上に、銅などの導電体を用いて下地膜2Aを形成する。次に、下地膜2Aの上に、フォトリソグラフィ等により第1のレジストフレーム3を選択的に形成したのち、この第1のレジストフレーム3をマスクとし、下地膜2Aを電極膜とした選択的めっき成長により、第1の導電層パターン4を形成する。さらに、第1のレジストフレーム3および第1の導電層パターン4を覆うように中間導電層5Aを形成する。続いて、中間導電層5A上の、第1のレジストフレーム3に対応した位置に第2のレジストフレーム6を選択的に形成する。第2のレジストフレーム6を形成したのち、これをマスクとし、中間導電層5Aを電極膜とした選択的めっき成長により、第2の導電層パターン7を形成する。さらに、第1および第2のレジストフレーム3, 6、これらによって挟まれた部分の中間導電層5A、ならびに下地膜2Aを除去することによりコイル53が完

成する。

【0076】

コイル53と基板52とを全面に亘って保護膜で覆ったのち、その保護膜のコイル53の各端末部分に対応する位置にスルーホールを形成する。次いで、そのスルーホールを通してコイル53の一端に第1の端子T1の一端を接続し、他端に第2の端子T2の一端を接続することにより、薄膜インダクタ50が完成する。

【0077】

以上のように、本実施の形態によれば、第1のレジストフレーム3をマスクとし、下地膜2Aを電極膜とした選択的めっき成長により第1の導電層パターン4を形成したのち、第1のレジストフレーム3および第1の導電層パターン4を覆うように中間導電層5Aを形成し、中間導電層5A上の、第1のレジストフレーム3に対応した位置に第2のレジストフレーム6を選択的に形成するようにしたので、インターミキシングを発生させずに、第1および第2のレジストフレーム3, 6と中間導電層5Aとを積層することができる。このため、単層構造の場合よりも厚みが大きく、高精度な寸法を有するコイル53を得ることができる。特に、液体フォトレジストを用いて第1および第2のレジストフレーム3, 6を形成する場合には、高い解像度が得られる。よって、高いアスペクト比と微小な寸法およびピッチとを有するコイル53を高精度に形成することができる。

【0078】

したがって、本実施の形態によれば、コイル53の平面サイズを十分縮小した場合であっても十分な精度とコイル断面積とを確保できる。このため、コイルターン数が大きいにもかかわらず、素子全体のサイズおよび素子の抵抗値を小さく抑えることができ、コイル53に通電したときの発熱も抑えることができる。その結果、インダクタ素子としての性能向上が可能となる。

【0079】

以上、実施の形態および変形例を挙げて本発明を説明したが、本発明は、これらの実施の形態および変形例に限定されず、種々変形可能である。例えば、本実施の形態および実施例では、2層構造の導電薄膜パターンについて説明したが、

3層以上の積層構造を有する場合にも適用可能である。

【0080】

さらに、本実施の形態および実施例では、導電薄膜パターンの形成方法を薄膜磁気ヘッドおよび薄膜インダクタの製造方法に適用する例について説明したが、他のマイクロデバイス、例えば、マイクロモータ等のマイクロアクチュエータ、半導体デバイス等の電子・磁気デバイスまたは磁気マイクロマシンに代表されるマイクロマシンの製造方法にも適用可能である。マイクロアクチュエータの他の例としては、圧電マイクロアクチュエータ、超音波マイクロアクチュエータ、静電マイクロアクチュエータ、熱駆動型マイクロアクチュエータ等が挙げられる。電子・磁気デバイスの他の例としては、薄膜トランジスタ、薄膜磁気センサあるいは各種表示デバイスがある。これらの各種マイクロデバイスに本実施の形態の製造方法を適用した場合には、各々のマイクロデバイスにおける発熱の抑制が可能となり、性能の向上が見込まれる。

【0081】

さらに、また、本実施の形態および実施例では、銅、金または白金を各導電層に用いるようにしたが、これに限定されない。例えば、タンタル等の金属、または、ITO (Indium Tin Oxide) 等の非金属の導電体を適用することも可能である。

【0082】

【発明の効果】

以上、説明したように、請求項1ないし請求項3のいずれか1項に記載の導電薄膜パターンの形成方法によれば、第2のレジストフレームを形成する前に、第1のレジストフレームを覆うように中間導電層を形成するようにしたので、同一のパターン形状を有する複数のレジストフレームをインターミキシングを起こさずに積層できる。このため、単層構造の場合と比べて大きな厚みを有する導電薄膜パターンを容易かつ高精度に形成することができる。

【0083】

特に、請求項2に記載の導電薄膜パターンの形成方法によれば、液体フォトレジスト材料を用いるようにしたので、高い解像度が得られる。したがって、高い

アスペクト比を有する導電薄膜パターンを高精度に形成することも可能になる。

(0084)

請求項 4 ないし請求項 6 のいずれか 1 項に記載の薄膜磁気ヘッドの製造方法、請求項 7 または請求項 8 に記載の薄膜インダクタの製造方法または請求項 9 に記載のマイクロデバイスの製造方法によれば、導電薄膜パターンを形成する工程が、上記した第 1 ないし第 7 の工程を含むようにしたので、同一のパターン形状を有する複数のレジストフレームをインターミキシングを起こさずに積層でき、単層構造の場合と比べて大きな厚みを有する導電薄膜パターンを容易かつ高精度に形成することができる。

[0085]

請求項10に記載の導電薄膜パターンによれば、導電体よりなる下地膜パターンと、これを電極膜としためっき成長により形成された第1の導電層パターンと、中間導電層パターンと、これを電極膜としためっき成長により形成された第2の導電層パターンとが順に積層された構造としたので、中間導電層パターンを挿まずに形成された単層構造のめっき膜パターンよりも、容易に高いアスペクト比を得ることができる。

【図面の簡単な説明】

〔図1〕

本発明の実施の形態に係る薄膜磁気ヘッドの構成を示す分解斜視図である。

【圖 2】

図1に示した薄膜磁気ヘッドのI-I矢視方向から見た構造を示す平面図である

〔図3〕

【图4】

(圖 5)

本実施の形態に係る薄膜磁気ヘッドの製造方法における一工程を表す拡大断面図である。

【図6】

図5に続く一工程を表す拡大断面図である。

【図7】

図6に続く一工程を表す拡大断面図である。

【図8】

図7に続く一工程を表す拡大断面図である。

【図9】

図8に続く一工程を表す拡大断面図である。

【図10】

図9に続く一工程を表す拡大断面図である。

【図11】

図10に続く一工程を表す拡大断面図である。

【図12】

図11に続く一工程を表す拡大断面図である。

【図13】

図12に続く一工程を表す拡大断面図である。

【図14】

図13に続く一工程を表す拡大断面図である。

【図15】

図14に続く一工程を表す拡大断面図である。

【図16】

本発明の実施の形態に係る薄膜インダクタの構成を示す平面図である。

【図17】

比較例としての薄膜磁気ヘッドの製造方法における一工程を表す拡大断面図である。

【図18】

図17に続く一工程を表す拡大断面図である。

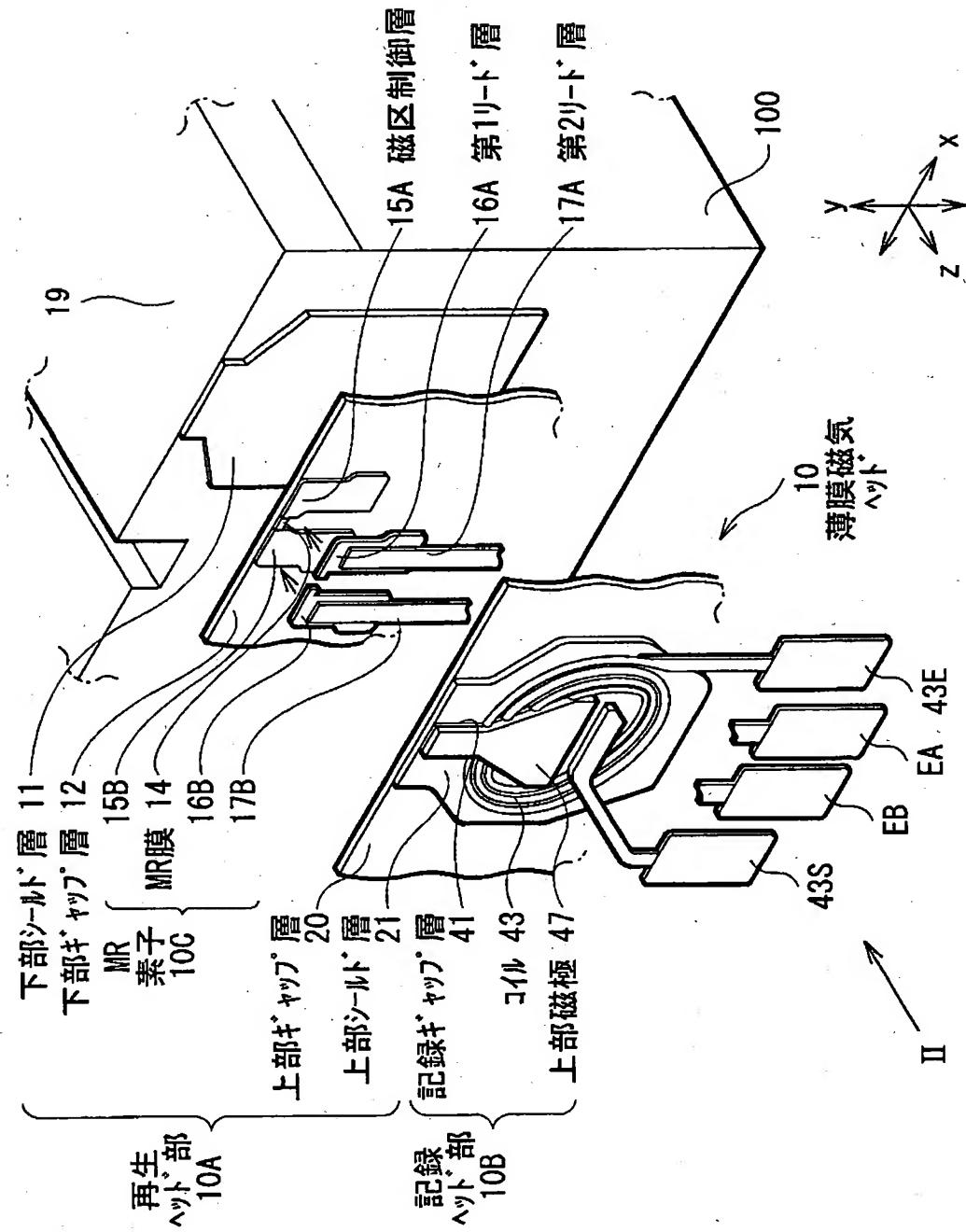
【符号の説明】

2…下地膜、3…第1のレジストフレーム、4…第1の導電層パターン、5…
中間導電層パターン、6…第2のレジストフレーム、7…第2の導電層パターン
、10…薄膜磁気ヘッド、43（53）…コイル、50…薄膜インダクタ、52
…基板。

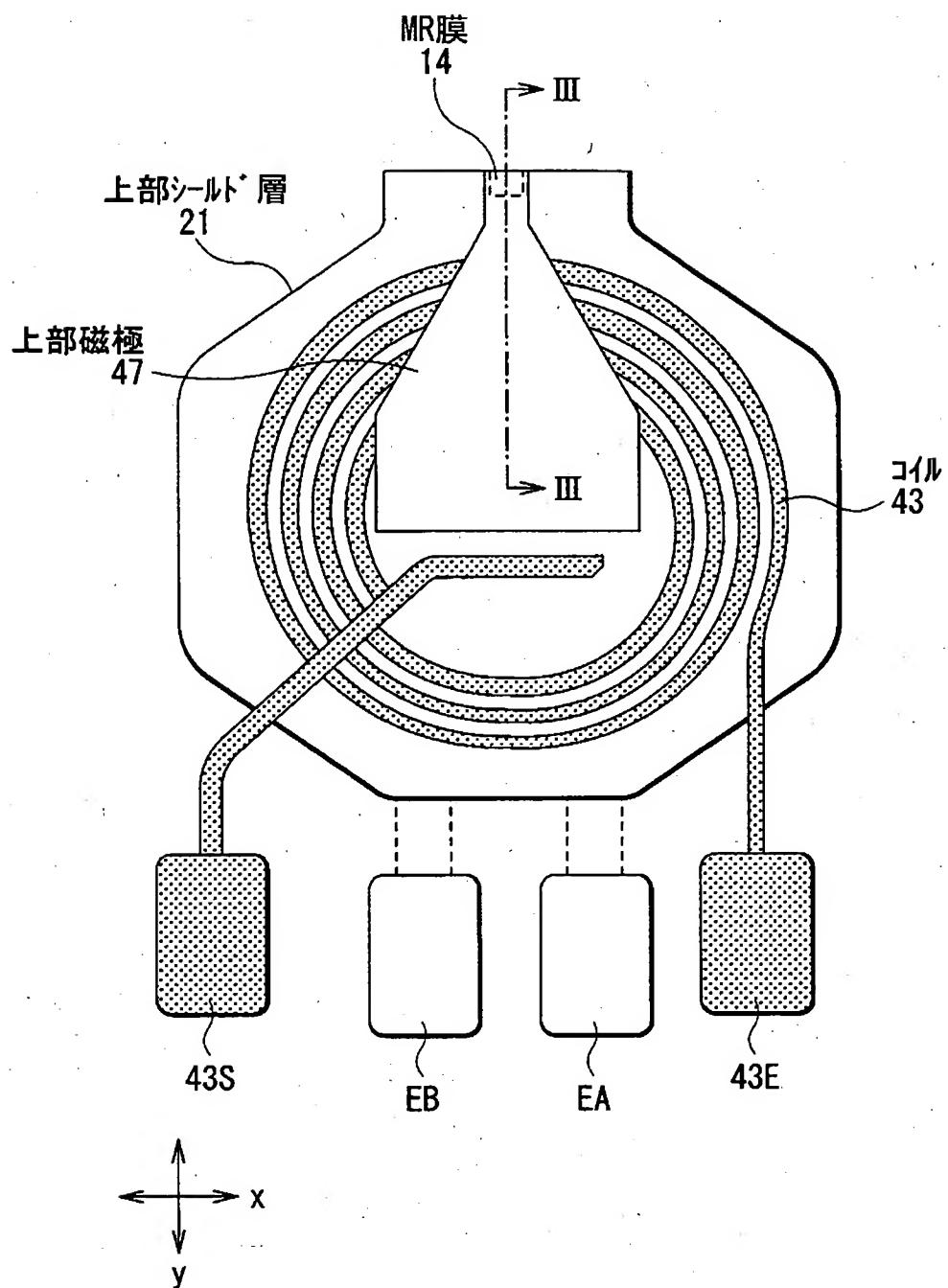
【書類名】

図面

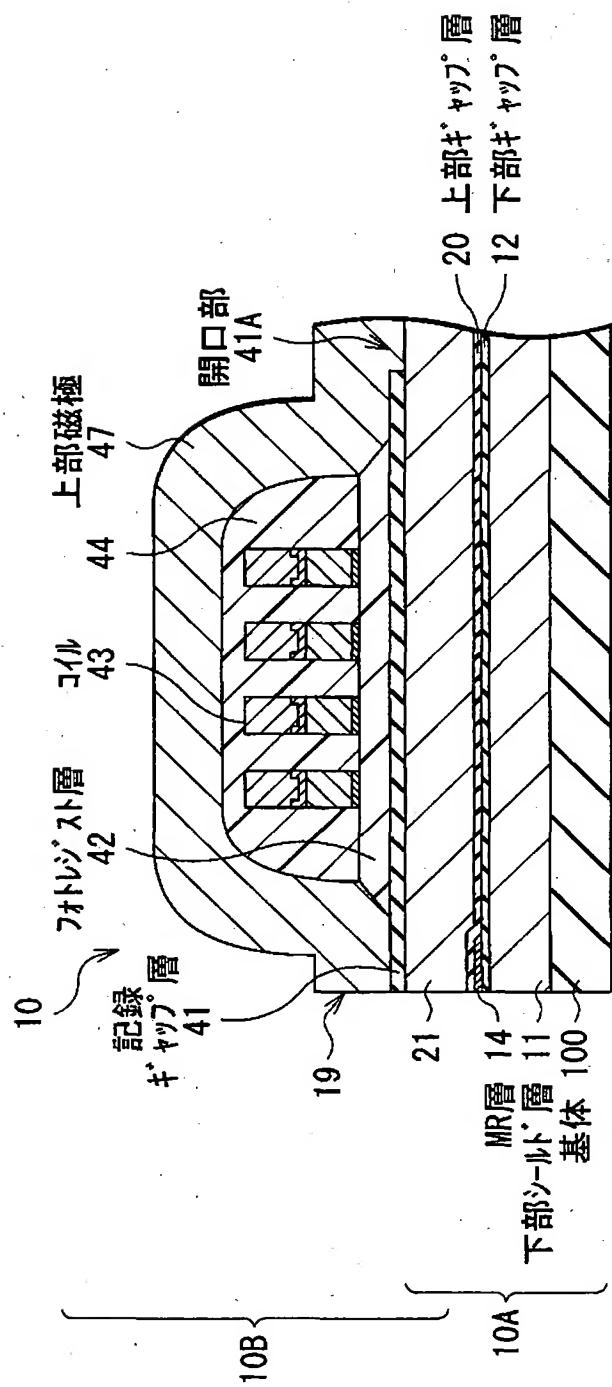
【図1】



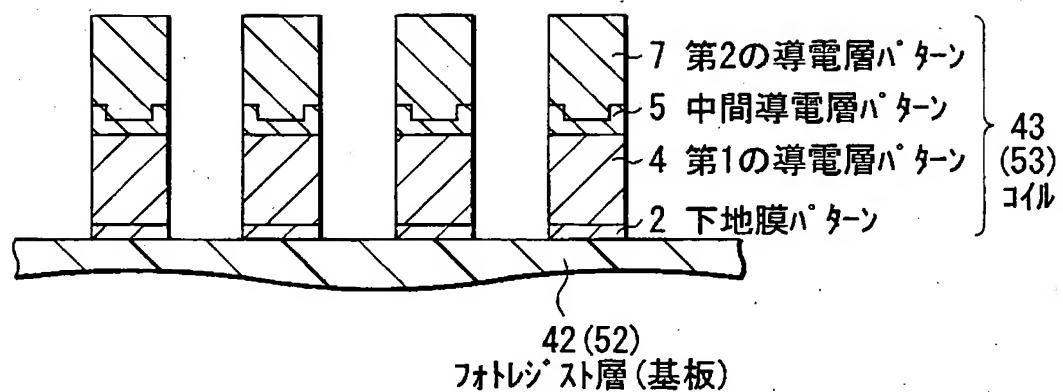
【図2】



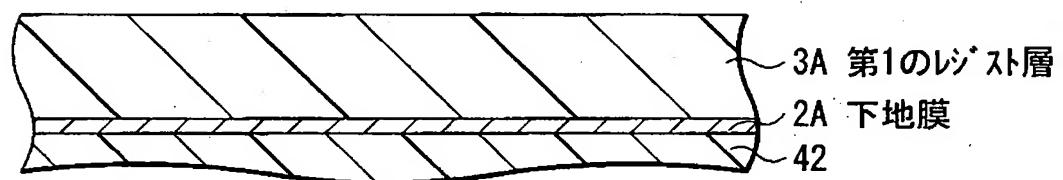
【図3】



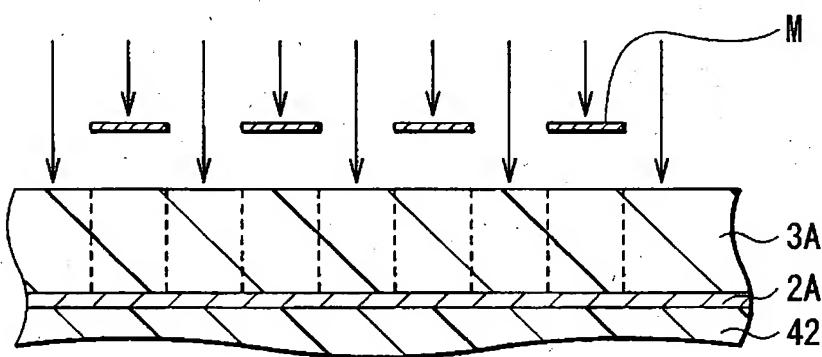
【図4】



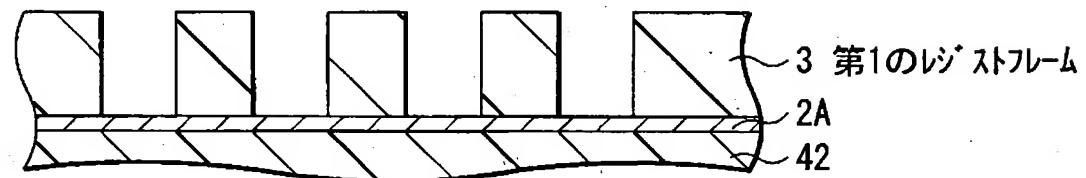
【図5】



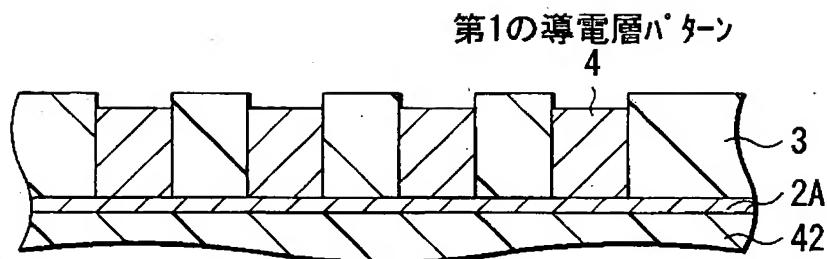
【図6】



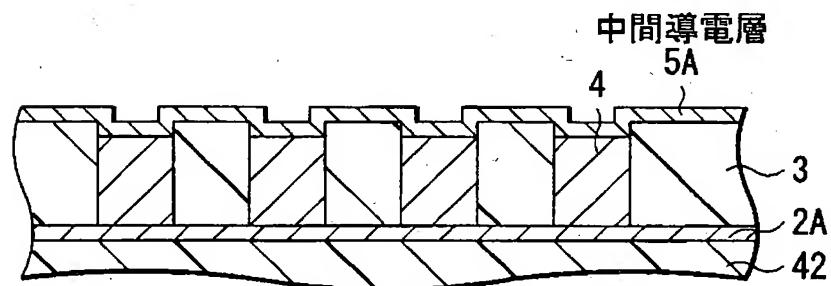
【図7】



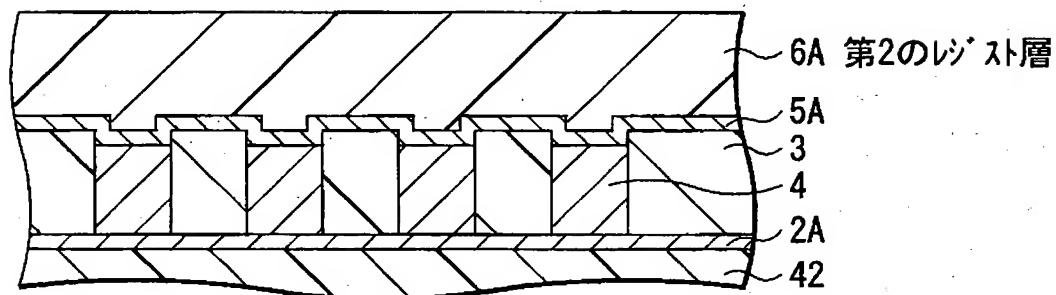
【図8】



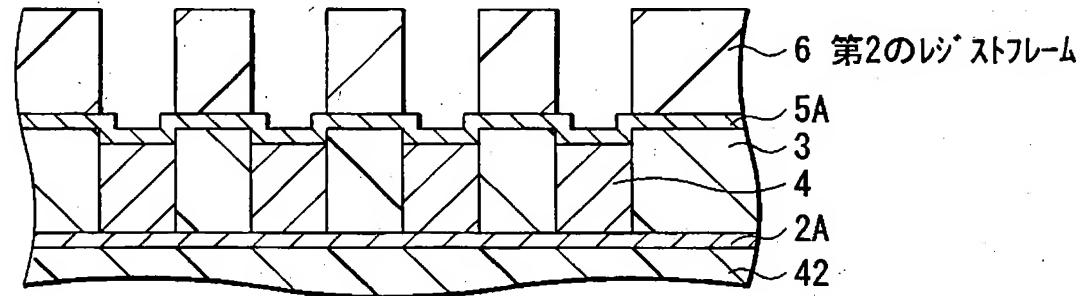
【図9】



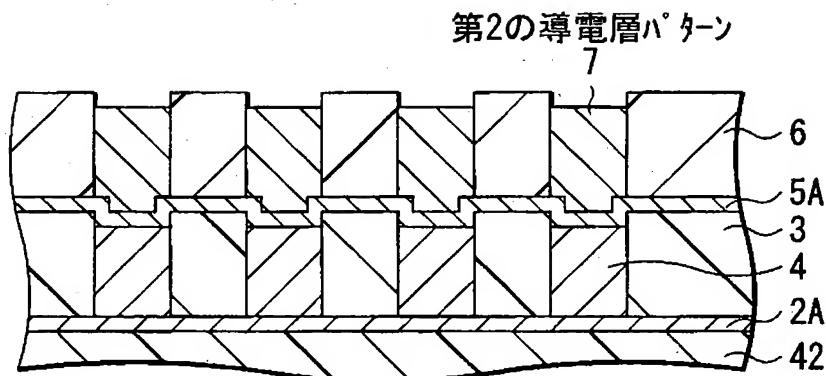
【図10】



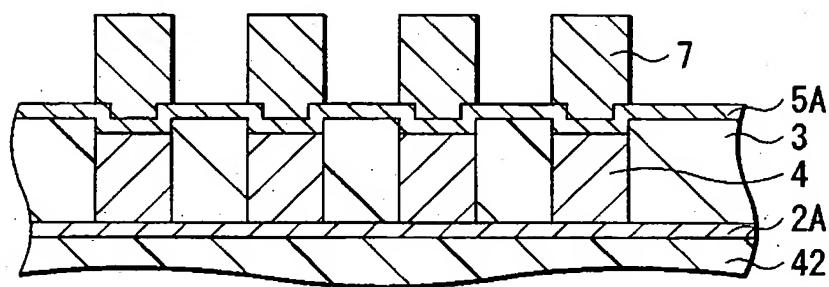
【図11】



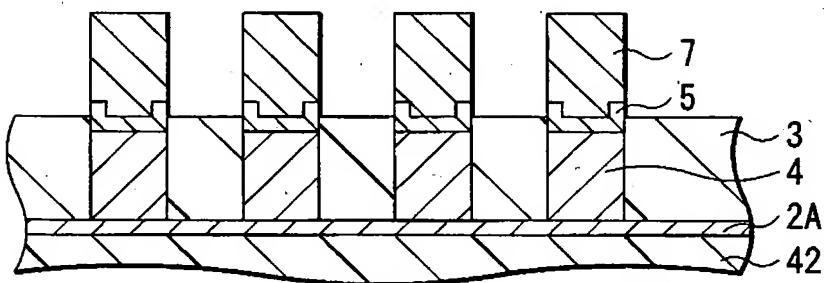
【図12】



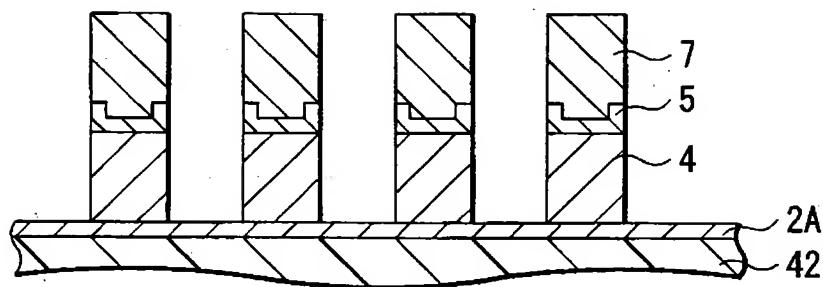
【図13】



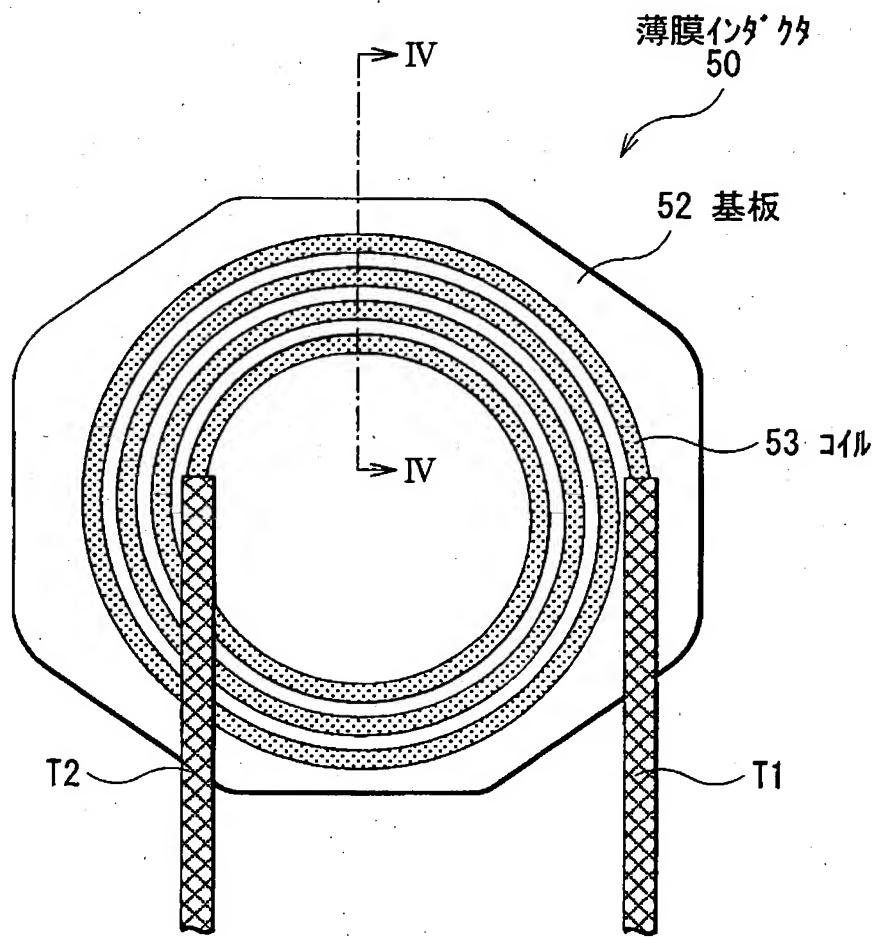
【図14】



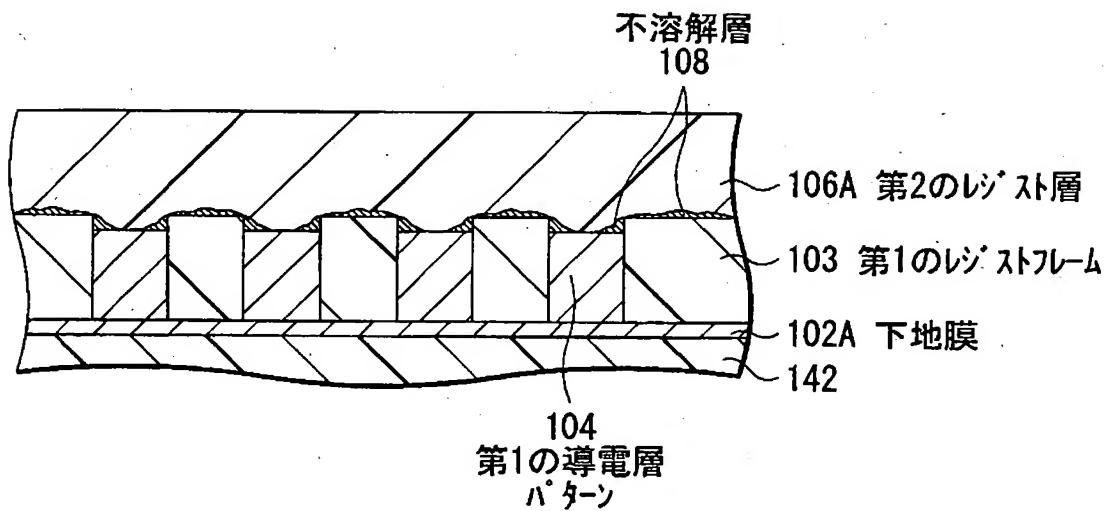
【図15】



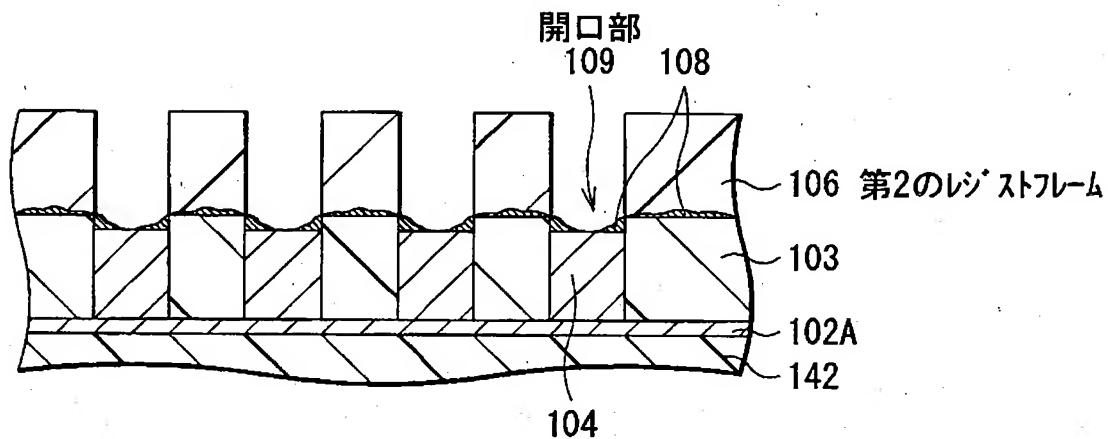
【図16】



【図17】



【図18】



【書類名】 要約書

【要約】

【課題】 高いアスペクト比を有する高精度の導電薄膜パターンおよびその形成方法を提供する。さらに、そのような導電薄膜パターンを含む薄膜磁気ヘッド、薄膜インダクタおよびマイクロデバイスを製造するための方法を提供する。

【解決手段】 下地膜パターンを電極膜としためっき成長により形成した2つの導電層パターンとそれらに挟まれた中間導電層パターンとを含む積層構造を有するようにしたので、より厚みの大きい導電薄膜パターンが得られる。また、第1のレジストフレームを覆う中間導電層を形成したのち、第1のレジストフレームに対応した位置に第2のレジストフレームを形成するようにしたので、インターミキシングを発生させずに、第1および第2のレジストフレームを積層することができる。このため、より大きな厚みを有する導電薄膜パターンを容易かつ高精度に形成することができる。

【選択図】 図4

認定・付加情報

特許出願の番号	特願2002-211670
受付番号	50201066859
書類名	特許願
担当官	井筒 セイ子 1354
作成日	平成14年 7月31日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000003067
【住所又は居所】	東京都中央区日本橋1丁目13番1号
【氏名又は名称】	ティーディーケイ株式会社

【代理人】

【識別番号】	100109656
【住所又は居所】	東京都新宿区新宿1丁目9番5号 大台ビル2階
【氏名又は名称】	翼国際特許事務所

【代理人】

【識別番号】	100098785
【住所又は居所】	東京都新宿区新宿1丁目9番5号 大台ビル2階
【氏名又は名称】	翼国際特許事務所

藤島 洋一郎

次頁無

出願人履歴情報

識別番号 [000003067]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都中央区日本橋1丁目13番1号

氏 名 ティーディーケイ株式会社